(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年6月28日(28.06.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/116864 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H01L 21/822* (2006.01)
A61B 6/00 (2006.01) *H01L 27/04* (2006.01)
G01T 1/20 (2006.01) *H01L 27/144* (2006.01)

(21) 国際出願番号： PCT/JP2017/044113

(22) 国際出願日： 2017年12月8日(08.12.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2016-248802 2016年12月22日(22.12.2016) JP

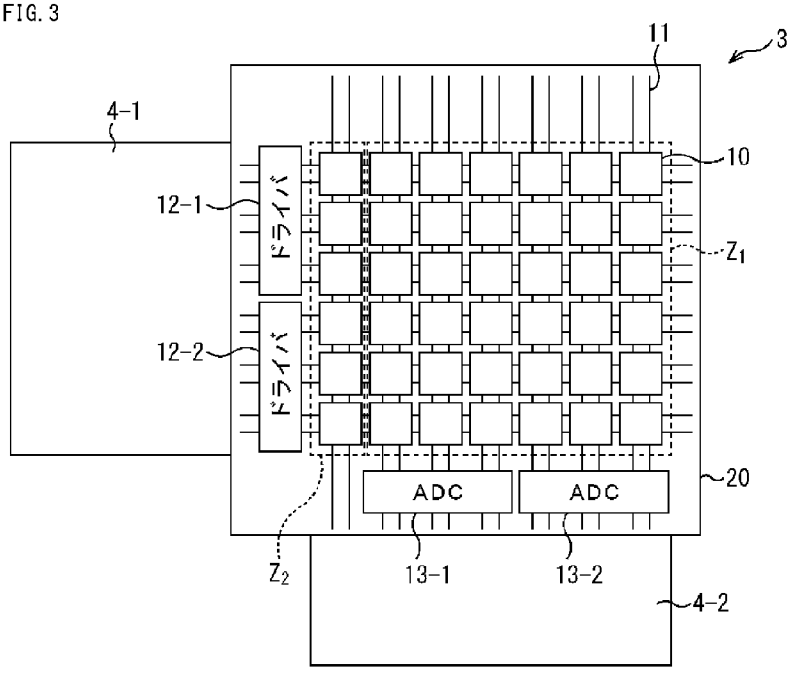
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 児玉 健(KODAMA Takeshi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 五十嵐 崇裕(IGARASHI Takahiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 岡 修一(OKA Shuichi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 柳川 周作(YANAGAWA Shusaku); 〒2430014 神奈川県厚木市旭町四丁

(54) **Title:** IMAGING PANEL, IMAGING PANEL MANUFACTURING METHOD, ROENTGEN DEVICE, AND IMAGING DEVICE

(54) 発明の名称： 撮像パネル、および撮像パネルの製造方法、レントゲン装置、並びに撮像装置

FIG. 3



(57) **Abstract:** The present disclosure relates to an imaging panel which makes it possible to prevent electrostatic destruction during manufacture without causing a decrease in sensor performance, an imaging panel manufacturing method, a roentgen device, and an imaging device. Photodiodes with attached MOS switches are mounted in a sensor area and an electro static discharge (ESD) countermeasure area at the periphery thereof. During manufacture, a photodiode in the ESD countermeasure area is caused to function as an ESD countermeasure element, and the photodiode in the ESD counter-

WO 2018/116864 A1

[続葉有]

目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿７丁目５番２５号 西新宿木村屋ビルディング９階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第21条(3)）

measure area is removed in the final step of manufacture. The present disclosure may be adapted for a roentgen device.

(57) 要約：本開示は、センサとしての性能を低下させることなく、製造中の静電破壊を防止することができるようにする撮像パネル、および撮像パネルの製造方法、レントゲン装置、並びに撮像装置に関する。 MOSスイッチが付加されたフォトダイオードをセンサエリアと、その周辺のESD（Electro Static Discharge）対策エリアとに実装し、製造中においては、ESD対策エリアのフォトダイオードをESD対策素子として機能させ、製造の最終工程において、ESD対策エリアのフォトダイオードを除去する。本開示は、レントゲン装置に適応することができる。

明　細　書

発明の名称 ：

撮像パネル、および撮像パネルの製造方法、レントゲン装置、並びに撮像装置

技術分野

[0001] 本開示は、撮像パネル、および撮像パネルの製造方法、レントゲン装置、並びに撮像装置に関し、特に、センサとしての性能を低下させることなく、製造中の静電破壊を防止できるようにした撮像パネル、および撮像パネルの製造方法、レントゲン装置、並びに撮像装置に関する。

背景技術

[0002] 各画素（撮像画素）に光電変換素子を内蔵する撮像装置として、種々のものが提案されている。そのような撮像装置の一例として、FPD（Flat Panel Detector）などの放射線撮像装置が挙げられる（例えば、特許文献１参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開２００６－５２９８２号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上述したような放射線撮像装置においては、MOS（Metal Oxide Semiconductor）スイッチがついたPD（Photo Diode）をアレイ状に配列する場合、製造時におけるゲートの静電破壊を防止するためには、基板上にESD（Electro Static Discharge）対策素子を実装する、またはPDの中にESD対策素子を入れ込む必要がある。

[0005] ところが、基板上にESD対策素子を実装する場合、素子の大きさによっては、十分な対策が取れないこともある。また、PDの中に十分な機能を備えたGGMOS（Gated Grounded MOS）を入れ込むと、PD内の寄生容量が増大し、さらに

、PDがアレイ状に設けられることで、さらに寄生容量が増大することになるので、放射線撮像装置のセンサとしての性能が低下してしまう恐れがあった。

[0006] 本開示は、このような状況に鑑みてなされたものであり、特に、センサとしての性能を低下させることなく、製造時の静電破壊を防止できるようにするものである。

課題を解決するための手段

[0007] 本開示の一側面の撮像パネルは、MOS（Metal Oxide Semiconductor）スイッチが付加された、アレイ状に配置されている複数の受光部を含み、前記複数の受光部は、製造時に配置された、前記複数の受光部より多くの複数の受光部のうち、ESD（Electro Static Discharge）対策素子として機能するものが除去された後に残されたものからなる撮像パネルである。

[0008] 前記複数の受光部は、基板に対してはんだで実装されているようにしてもよい。

[0009] 前記複数の受光部が配置される領域と、前記ESD対策素子として機能する受光部が配置される領域とが設定されるようにしてもよい。

[0010] 前記ESD対策素子として機能する受光部は、前記複数の受光部が配置される領域の外側に、かつ、少なくとも１か所以上配置されるようにすることができる。

[0011] 前記複数の受光部と、前記ESD対策素子として機能するフォトダイオードとは、半田バンプのレイアウトについて、ランドおよび配線パターンのいずれも同一とすることができる。

[0012] 前記ESD対策素子として機能する受光部が配置される領域には、前記ESD対策素子として機能する受光部の実装に用いられた半田バンプの一部が残留するようにしてもよい。

[0013] 前記ESD対策素子として機能する受光部はレーザにより除去されるようにすることができる。

[0014] 撮像パネルの本体が実装基板に設置された後、前記ESD対策素子として機能

する受光部は、除去されるようにすることができる。

[0015] 前記受光部は、前記フォトダイオード、および前記フォトダイオードの電流信号を電流電圧変換して画素信号として出力するICを含むアクティブピクセルとすることができる。

[0016] 前記フォトダイオード、および前記ICが同一の基板に配置されるようにすることができる。

[0017] 前記フォトダイオード、および前記ICが異なる基板に積層されて配置されるようにすることができる。

[0018] 前記受光部は、複数の前記受光部で１個の前記ICを共有するように配置されるようにすることができる。

[0019] 前記受光部は、パッシブピクセルとすることができる。

[0020] 本開示の一側面のレントゲン装置は、MOS（Metal Oxide Semiconductor）スイッチが付加された、アレイ状に配置されている複数の受光部を含み、前記複数の受光部は、製造時に配置された、前記複数の受光部より多くの複数の受光部のうち、ESD（Electro Static Discharge）対策素子として機能するものが除去された後に残されたものからなるレントゲン装置である。

[0021] 本開示の一側面の撮像装置は、MOS（Metal Oxide Semiconductor）スイッチが付加された、アレイ状に配置されている複数の受光部を含み、前記複数の受光部は、製造時に配置された、前記複数の受光部より多くの複数の受光部のうち、ESD（Electro Static Discharge）対策素子として機能するものが除去された後に残されたものからなる撮像装置である。

[0022] 本開示の一側面の撮像パネルの製造方法は、MOS（Metal Oxide Semiconductor）スイッチが付加された、アレイ状に配置されている複数の受光部を含み、前記複数の受光部は、製造時に配置された、前記複数の受光部より多くの複数の受光部のうち、ESD（Electro Static Discharge）対策素子として機能するものが除去された後に残されたものからなる撮像パネルの製造方法であって前記複数の受光部、および前記ESD対策素子として機能する受光部とを実装する工程と、前記ESD（Electro Static Discharge）対策素子として機能す

る受光部を除去する工程とを含む撮像パネルの製造方法である。

[0023] 本開示の一側面においては、MOS（Metal Oxide Semiconductor）スイッチが付加された、アレイ状に配置されている複数の受光部が、製造時に配置された、前記複数の受光部より多くの複数の受光部のうち、ESD（Electro Static Discharge）対策素子として機能するものが除去された後に残されたものからなる。

発明の効果

[0024] 本開示の一側面によれば、センサとしての性能を低下させることなく、製造時の静電破壊を防止することが可能となる。

図面の簡単な説明

[0025] [図1]ESD対策素子が設けられた撮像装置の構成例を説明する図である。

[図2]本開示の撮像装置の外観構成例を説明する図である。

[図3]アクティブピクセルタイプの受光部からなる撮像パネルの構成例を説明する図である。

[図4]アクティブピクセルタイプの受光部の構成例を説明する図である。

[図5]１個のICを複数の受光素子で共有するようにした受光部の構成例を説明する図である。

[図6]パッシブピクセルタイプの受光部からなる撮像パネルの構成例を説明する図である。

[図7]パッシブピクセルタイプの受光部の構成例を説明する図である。

[図8]パッシブピクセルタイプの受光部の回路構成例を説明する図である。

[図9]本開示の撮像装置の製造方法を説明するフローチャートである。

発明を実施するための形態

[0026] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0027] ＜ESD対策素子が設けられた撮像装置の構成例＞

静電破壊を防止するためのESD（Electro Static Discharge）素子が設けられた撮像装置の構成例について説明する。

[0028] 図１は、ESD対策素子が設けられた撮像装置における撮像面に対向する方向からみた構成例を示している。パネルＢの上面にCMOS（Complementary Metal Oxide Semiconductor）からなる撮像素子がアレイ状に配置されたセンサエリアＺが設けられている。センサエリアＺにおける各撮像素子を制御する信号、および撮像された画像信号を送受信する配線等からなるフレキシブル配線（図中の「フレキ」）Ｆ１，Ｆ２が、方形状のセンサエリアＺの２辺に接続されている。

[0029] 静電破壊を防止するためのESD（Electro Static Discharge）対策素子Ｐは、センサエリアＺとフレキシブル配線Ｆ１，Ｆ２との間に設けられており、製造中にセンサエリアＺの周辺で発生する静電気放電（ESD）を吸収し、センサエリアＺ内の撮像素子を保護する。

[0030] しかしながら、ESD対策素子Ｐは、ダイオード等から構成されているが、素子の大きさによっては、静電気放電を十分に吸収することができず、センサエリアＺ内の撮像素子を保護することができないことがあった。

[0031] また、撮像素子内に十分な機能を持つGGMOS（Gated Grounded MOS）を構成することができたとしても、撮像素子内の寄生容量が増大することになり、これらがアレイ状に接続されることで、さらに寄生容量が増大する。撮像素子内に設けられたGGMOSは、製造後、除去することができないので、撮像装置として機能させる際には、寄生容量による影響を受けて各撮像素子のセンサとしての性能を低下させてしまう恐れがあった。

[0032] ＜本開示の撮像装置における撮像パネルの構成例＞

そこで、本開示の撮像装置は、撮像素子の性能を低下させることなく、十分なESD対策を図る構成とされている。以下、図２乃至図４を参照して、その構成について説明する。

[0033] 図２乃至図４は、例えば、本開示の撮像装置の製造中の構成例を説明する図であり、図２は、図２の撮像装置の外観図であり、図３は、図２の撮像装

置における撮像パネルの構成例を示す図であり、図４は、図３の撮像パネルにおける受光部の構成例を示す図である。撮像装置１は、放射線撮像装置として機能するものであり、例えば、Ｘ線画像を撮像するレントゲン装置である。

[0034] 撮像装置１は、図２で示されるように、図中上からの矢印で示されるＸ線の入射方向に対向する面にシンチレータ２が設けられ、その下に撮像パネル３が設けられている。

[0035] シンチレータ２は、入射Ｘ線を光信号（そのＸ線強度に応じた光出力、波長としては例えば緑色光）からなるＸ線反応光として透過させる。その後、撮像パネル３は、例えば、フレキシブル配線４－１を介して入力される制御信号により動作し、Ｘ線反応光である光信号の強弱を電荷の大小を表す電気信号に変換し、例えば、フレキシブル配線４－２を介して、図示せぬ後段の信号処理部に画素信号として出力する。

[0036] 図３の撮像パネル３は、受光部１０、および、配線層２０を備え、シンチレータ２を透過するＸ線反応光の撮像を行う受光装置として機能するパネルである。配線層２０には、受光部１０の動作を制御するドライバ１２－１，１２－２と、受光部１０より出力される画素信号をAD変換するADC１３－１，１３－２とが設けられている。ドライバ１２－１，１２－２は、フレキシブル配線４－１を介して図示せぬ制御装置より供給される制御信号に基づいて、受光部１０を動作させる。ADC（Analog Digital Converter）１３－１，１３－２は、受光部１０より出力される画素信号をアナログ信号からデジタル信号に変換してフレキシブル配線４－２を介して後段の装置に出力する。なお、撮像パネル３は、Ｘ線パネルに限定されず、一般的なイメージングパネルなども含まれる。ただし、一般的なイメージングパネルの場合、シンチレータ２に代えて、画素単位で、カラーフィルタ等が設けられることになる。また、ドライバ１２－１，１２－２、および、ADC１３－１，１３－２は、特に区別する必要がない場合、単に、ドライバ１２およびADC１３と称するものとし、その他の構成についても同様に称するものとする。

[0037] 図４で示されるように、受光部１０は、アクティブピクセルタイプであり、フォトダイオードからなる受光素子３１、カソード３２－１，３２－２、IC（Integrated Circuit）３３、および半田バンプ３４より構成される。

[0038] 受光素子３１は、受光した光を電流信号に変換し、カソード３２－１，３２－２を介して、IC３３に出力する。IC（Integrated Circuit）３３は、Ｉ／Ｖ変換機能を有し、電流信号を電圧信号に変換し、画素信号として半田バンプ３４を介して出力する。

[0039] 配線層２０は、受光部１０とドライバ１２－１，１２－２、およびADC１３－１，１３－２と接続する配線パターン１１が敷設されており、受光部１０が画素単位に半田バンプ３４－１，３４－２により実装される。配線層２０には、例えば、フレキシブル基板が適用される。

[0040] このように、撮像パネル３では、光を電流信号に変換する受光素子３１と、電流信号を電圧信号に変換するIC３３とが一体成型されて半田バンプ３４が形成された受光部１０のチップが、配線層２０に画素単位に配列され、半田バンプ３４によりＦＣ実装（Flip Chip Bonding）されている。

[0041] ここで、ＦＣ実装とは、チップ表面と基板を電気的に接続する際、ワイヤボンディングのようにワイヤによって接続するのではなく、アレイ状に並んだ半田バンプによって接続する実装のことである。

[0042] また、受光部１０が配置されるエリアは、図３で示されるように、センサエリアＺ１とESD対策エリアＺ２に分けられる。センサエリアＺ１は、Ｘ線の入射に伴ってシンチレータ２を透過したときに発生する光信号を実際に検出する領域である。また、ESD対策エリアＺ２は、センサエリアＺ１とドライバ１２－１，１２－２の境界付近に設けられており、受光パネル３の製造中における受光部１０の静電破壊を防止する。

[0043] すなわち、一般的なESD対策素子は、ESD対策用の設計耐圧のダイオードから構成されているが、ここでは、受光部１０を構成するフォトダイオードのうち、ドライバ１２－１，１２－２との境界付近のESD対策エリアＺ２に存在するものが、ESD対策素子として機能する。ESD対策用の耐圧については、ESD

対策エリアＺ２に設定される受光部１０の行数および列数を変化させることで、調整することができる。したがって、センサエリアＺ１とESD対策エリアＺ２とに設けられる受光部１０は、いずれも半田バンプ３４のレイアウトについて、ランドおよび配線パターンも同一である。また、ESD対策エリアＺ２の受光部１０は、製造最終工程において除去される。さらに、図３においては、ドライバ１２、およびADC１３が、それぞれ２個ずつ設けられる例が示されているが、それぞれ２個以外の個数であってもよい。また、図３の撮像パネル３においては、アレイ状に設けられた受光部１０の１辺に対応する、ドライバ１２が設けられた範囲の近傍の受光部１０が、ESD対策エリアＺ２に設定されているが、ドライバ１２が、その他の範囲にも設けられている場合、その近傍に、別途、ESD対策エリアＺ２と同様に、ESD対策素子として機能する受光部１０のエリアを設定するようにしてもよい。

[0044] このような構成により、受光部１０におけるセンサエリアＺ１とESD対策エリアＺ２における受光部１０の構成は同一であり、また、ESD対策エリアＺ２は、製造終了後には除去されるので、不要な寄生容量が付加されることなく、すなわち、撮像装置１としての性能を低減させることなく、ESD対策素子として機能させることが可能となる。さらに、ESD対策エリアＺ２に設定する受光部１０の行数、および列数を調整することで、ESD対策の耐圧を調整ことが可能となる。

[0045] 尚、図２における撮像パネル３は、製造時の状態を示したものであり、製造の最終工程において、ESD対策エリアＺ２に設けられた受光部１０は、除去されて、製品として完成する。したがって、完成時の撮像パネル３においては、センサエリアＺ１内に設けられた受光部１０のみが残された構成となる。また、受光部１０においては、フォトダイオードからなる受光素子３１とIC３４とが同一の基板に配置される構成としてもよいし、異なる基板に積層される構成としてもよい。

[0046] ＜受光部の第１の変形例＞

以上においては、受光部１０が１画素単位である例について説明してきた

が、受光部１０が複数の受光素子３１から構成され、１個のIC３３を共有するようにしてもよい。

[0047] 図５は、１個のIC３３を複数の受光素子３１により共有するようにした撮像パネル３のセンサエリアＺ１とESD対策エリアＺ２との境界付近における受光部１０の回路構成を示している。

[0048] 図５の回路構成においては、受光部１０－１乃至１０－３がセンサエリアＺ１に属しており、受光部１０－４乃至１０－６がESD対策エリアＺ２に存在する構成例が示されている。受光部１０－１乃至１０－６は、いずれも同一の構成であり、それぞれ４個の受光素子３１－１乃至３１－４と対応するスイッチ５１－１乃至５１－４が設けられている。また、IC３３は、４個の受光素子３１－１乃至３１－４により共有されている。尚、１個のIC３３には、４画素の受光素子３１－１乃至３１－４のそれぞれが光量に応じて蓄積された電荷に対応する電流をＩＶ変換して画素信号として出力するコンパレータ５２が設けられている。また、受光素子３１－１乃至３１－４と対応するスイッチ５１－１乃至５１－４、IC３３、およびコンパレータ５２については、受光部１０－１にのみ符号が図示されているが、受光部１０－２乃至１０－６についても同様であり、符号が省略されている。

[0049] すなわち、図５の受光部１０における４画素の受光素子３１－１乃至３１－４は、スイッチ５１－１乃至５１－４のオンオフを切り替えることで、１個のIC３３を共有して使用し、画素信号を出力する。

[0050] ＜受光部の第２の変形例＞

以上においては、各画素において、IC３３を備えており、受光素子３１により蓄積された電荷に対応する電流をＩＶ変換により電圧信号からなる画素信号を出力する、いわゆる、アクティブピクセルタイプの受光部１０を用いる構成例について説明してきたが、パッシブピクセルタイプの受光部１０を用いるようにしてもよい。

[0051] 図６は、受光部１０が、パッシブピクセルタイプである場合の撮像パネル３の構成例を示している。尚、図６において、図３における受光部１０がア

クティブピクセルタイプの撮像パネル３と同一の構成については、同一の符号を付しており、その説明は適宜省略するものとする。

[0052] すなわち、図６の撮像パネル３の構成のうち、図３の撮像パネル３と異なる点は、受光部１０が、パッシブピクセルタイプであり、さらに、ADC１３－１，１３－２に代えて、AFE（Analog Front End）６１－１，６１－２が設けられている点である。

[0053] 図７は、パッシブピクセルタイプの受光部１０の構成を示している。尚、図７において、図４における構成と同一の機能を備えた構成については、同一の符号を付しており、その説明は適宜省略する。すなわち、図７で示されるように、パッシブピクセルタイプの受光部１０においては、受光素子３１、およびカソード３２が、図４で示されるアクティブピクセルタイプの受光部１０と同様に設けられているが、IC３３が設けられていない。

[0054] このため、受光素子３１からの画素信号は、カソード３２、半田バンプ３４、およびAFE６１を介してアナログ信号のままフレキシブル配線４－１に出力される。

[0055] 図８は、IC３３に対応する構成を受光部の外部に設け、受光素子３１とMOSスイッチのみからなる受光部１０における撮像パネル３のセンサエリアＺ１とESD対策エリアＺ２との境界付近における受光部１０の詳細な構成を示している。

[0056] すなわち、図８においては、受光部１０－１，１０－２がセンサエリアＺ１に存在し、受光部１０－３乃至１０－８がESD対策エリアＺ２に存在する構成例が示されている。受光部１０－１乃至１０－８は、いずれも同一の構成であり、それぞれ受光素子３１－１乃至３１－８と対応するMOSスイッチ７１－１乃至７１－８とから構成されており、IC３３が設けられていない。

[0057] このような構成においても、ドライバ１２－１，１２－２の近傍に設けられた受光部１０をESD対策エリアＺ２に設定し、その他の受光部１０をセンサエリアＺ１に設定することで、撮像装置１としての性能を低減させることなく、ESD対策素子として機能させることが可能となる。また、ESD対策エリア

Ｚ２に設定する受光部１０の行数、および列数を調整することで、ESD対策の耐圧を調整ことが可能となる。

[0058] ＜撮像装置の製造方法＞

次に、図９を参照して、本開示の撮像装置の製造方法について説明する。

[0059] 第１の工程において、図９の状態Ｓｔ１で示されるように、配線層２０の遮光膜２２上にフラックス９１が塗布されて、センサエリアＺ１とESD対策エリアＺ２に同一の受光部１０が半田バンプ３４により実装される。

[0060] 第２の工程において、図９の状態Ｓｔ２で示されるように、リフローによりフラックス９１が洗浄されて除去される。

[0061] 第３の工程において、図９の状態Ｓｔ３で示されるように、フレキシブル配線４が接続される。

[0062] 第４の工程において、図９の状態Ｓｔ４で示されるように、ESD対策エリアＺ２の受光部１０が、例えば、レーザ光などにより除去される。すなわち、最終工程において、例えば、撮像パネル３が装置本体に設置された後、ESD対策エリアＺ２の受光部１０は、除去される。

[0063] 以上の処理により、製造中においては、センサエリアＺ１とESD対策エリアＺ２に同一の構成の受光部１０が設けられ、センサエリアＺ１の外周部であって、フレキシブル配線４が接続される境界付近に設定されるESD対策エリアＺ２の受光部１０をESD対策素子として機能させることが可能となる。また、ESD対策エリアＺ２に設定する受光部１０の行数、および列数を調整することで、ESD対策の耐圧を調整ことが可能となる。さらに、ESD対策エリアＺ２の受光部１０は、製造時の最終工程において、除去されるので、不要な寄生容量が付加されることなく、すなわち、撮像装置１としての性能を低減させることなく、ESD対策素子として機能させることが可能となる。尚、最終工程において、ESD対策エリアＺ２の受光部１０は、除去される際、ESD対策エリアＺ２の受光部１０の実装に用いられた半田バンプ３４はその一部が残留するが、撮像の性能に影響を与えるものではない。

[0064] 尚、本開示は、以下のような構成も取ることができる。

＜１＞　MOS（Metal Oxide Semiconductor）スイッチが付加された、アレイ状に配置されている複数の受光部を含み、

前記複数の受光部は、製造時に配置された、前記複数の受光部より多くの複数の受光部のうち、ESD（Electro Static Discharge）対策素子として機能するものが除去された後に残されたものからなる

撮像パネル。

＜２＞　前記複数の受光部は、基板に対してはんだで実装されている

＜１＞に記載の撮像パネル。

＜３＞　前記複数の受光部が配置される領域と、前記ESD対策素子として機能する受光部が配置される領域とが設定される

＜１＞または＜２＞に記載の撮像パネル。

＜４＞　前記ESD対策素子として機能する受光部は、前記複数の受光部が配置される領域の外側に、かつ、少なくとも１か所以上配置される

＜１＞乃至＜３＞のいずれかに記載の撮像パネル。

＜５＞　前記複数の受光部と、前記ESD対策素子として機能するフォトダイオードとは、半田バンプのレイアウトについて、ランドおよび配線パターンのいずれも同一である

＜１＞乃至＜４＞のいずれかに記載の撮像パネル。

＜６＞　前記ESD対策素子として機能する受光部が配置される領域には、前記ESD対策素子として機能する受光部の実装に用いられた半田バンプの一部が残留している

＜１＞乃至＜５＞のいずれかに記載の撮像パネル。

＜７＞　前記ESD対策素子として機能する受光部はレーザにより除去される

＜１＞乃至＜６＞のいずれかに記載の撮像パネル。

＜８＞　撮像パネルの本体が実装基板に設置された後、前記ESD対策素子として機能する受光部は、除去される

＜７＞に記載の撮像パネル。

＜９＞　前記受光部は、前記フォトダイオード、および前記フォトダイオー

ドの電流信号を電流電圧変換して画素信号として出力するICを含むアクティブピクセルである

＜１＞乃至＜８＞のいずれかに記載の撮像パネル。

＜１０＞　前記フォトダイオード、および前記ICが同一の基板に配置される

＜９＞に記載の撮像パネル。

＜１１＞　前記フォトダイオード、および前記ICが異なる基板に積層されて配置される

＜９＞に記載の撮像パネル。

＜１２＞　前記受光部は、複数の前記受光部で１個の前記ICを共有するように配置される

＜９＞に記載の撮像パネル。

＜１３＞　前記受光部は、パッシブピクセルである

＜１＞乃至＜８＞のいずれかに記載の撮像パネル。

＜１４＞　MOS（Metal Oxide Semiconductor）スイッチが付加された、アレイ状に配置されている複数の受光部を含み、

前記複数の受光部は、製造時に配置された、前記複数の受光部より多くの複数の受光部のうち、ESD（Electro Static Discharge）対策素子として機能するものが除去された後に残されたものからなる

レントゲン装置。

＜１５＞　MOS（Metal Oxide Semiconductor）スイッチが付加された、アレイ状に配置されている複数の受光部を含み、

前記複数の受光部は、製造時に配置された、前記複数の受光部より多くの複数の受光部のうち、ESD（Electro Static Discharge）対策素子として機能するものが除去された後に残されたものからなる

撮像装置。

＜１６＞　MOS（Metal Oxide Semiconductor）スイッチが付加された、アレイ状に配置されている複数の受光部を含み、

前記複数の受光部は、製造時に配置された、前記複数の受光部より多くの

複数の受光部のうち、ESD（Electro Static Discharge）対策素子として機能するものが除去された後に残されたものからなる

撮像パネルの製造方法であって

前記複数の受光部、および前記ESD対策素子として機能する受光部とを実装する工程と、

前記ESD（Electro Static Discharge）対策素子として機能する受光部を除去する工程とを含む

撮像パネルの製造方法。

符号の説明

[0065] １　撮像パネル，　２　シンチレータ，　３　撮像パネル，　１０　受光部，　２０　配線層，　３１　受光素子，　３２，３２－１，３２－２　カソード，　３３　IC，　３４　半田バンプ，　Ｚ１　センサエリア，　Ｚ２　ESD対策エリア

請求の範囲

[請求項1] MOS（Metal Oxide Semiconductor）スイッチが付加された、アレイ状に配置されている複数の受光部を含み、

前記複数の受光部は、製造時に配置された、前記複数の受光部より多くの複数の受光部のうち、ESD（Electro Static Discharge）対策素子として機能するものが除去された後に残されたものからなる

撮像パネル。

[請求項2] 前記複数の受光部は、基板に対してはんだで実装されている

請求項１に記載の撮像パネル。

[請求項3] 前記複数の受光部が配置される領域と、前記ESD対策素子として機能する受光部が配置される領域とが設定される

請求項１に記載の撮像パネル。

[請求項4] 前記ESD対策素子として機能する受光部は、前記複数の受光部が配置される領域の外側に、かつ、少なくとも１か所以上配置される

請求項１に記載の撮像パネル。

[請求項5] 前記複数の受光部と、前記ESD対策素子として機能するフォトダイオードとは、半田バンプのレイアウトについて、ランドおよび配線パターンのいずれも同一である

請求項１に記載の撮像パネル。

[請求項6] 前記ESD対策素子として機能する受光部が配置される領域には、前記ESD対策素子として機能する受光部の実装に用いられた半田バンプの一部が残留している

請求項１に記載の撮像パネル。

[請求項7] 前記ESD対策素子として機能する受光部はレーザにより除去される

請求項１に記載の撮像パネル。

[請求項8] 撮像パネルの本体が実装基板に設置された後、前記ESD対策素子として機能する受光部は、除去される

請求項７に記載の撮像パネル。

[請求項9] 前記受光部は、前記フォトダイオード、および前記フォトダイオードの電流信号を電流電圧変換して画素信号として出力するICを含むアクティブピクセルである

請求項１に記載の撮像パネル。

[請求項10] 前記フォトダイオード、および前記ICが同一の基板に配置される

請求項９に記載の撮像パネル。

[請求項11] 前記フォトダイオード、および前記ICが異なる基板に積層されて配置される

請求項９に記載の撮像パネル。

[請求項12] 前記受光部は、複数の前記受光部で１個の前記ICを共有するように配置される

請求項９に記載の撮像パネル。

[請求項13] 前記受光部は、パッシブピクセルである

請求項１に記載の撮像パネル。

[請求項14] MOS（Metal Oxide Semiconductor）スイッチが付加された、アレイ状に配置されている複数の受光部を含み、

前記複数の受光部は、製造時に配置された、前記複数の受光部より多くの複数の受光部のうち、ESD（Electro Static Discharge）対策素子として機能するものが除去された後に残されたものからなる

レントゲン装置。

[請求項15] MOS（Metal Oxide Semiconductor）スイッチが付加された、アレイ状に配置されている複数の受光部を含み、

前記複数の受光部は、製造時に配置された、前記複数の受光部より多くの複数の受光部のうち、ESD（Electro Static Discharge）対策素子として機能するものが除去された後に残されたものからなる

撮像装置。

[請求項16] MOS（Metal Oxide Semiconductor）スイッチが付加された、アレイ状に配置されている複数の受光部を含み、

前記複数の受光部は、製造時に配置された、前記複数の受光部より多くの複数の受光部のうち、ESD（Electro Static Discharge）対策素子として機能するものが除去された後に残されたものからなる

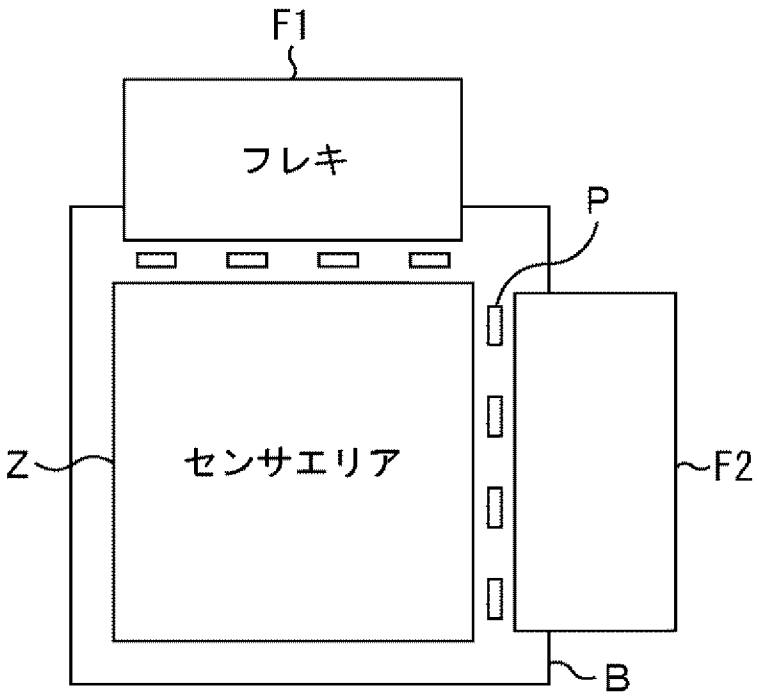
撮像パネルの製造方法であって

前記複数の受光部、および前記ESD対策素子として機能する受光部とを実装する工程と、

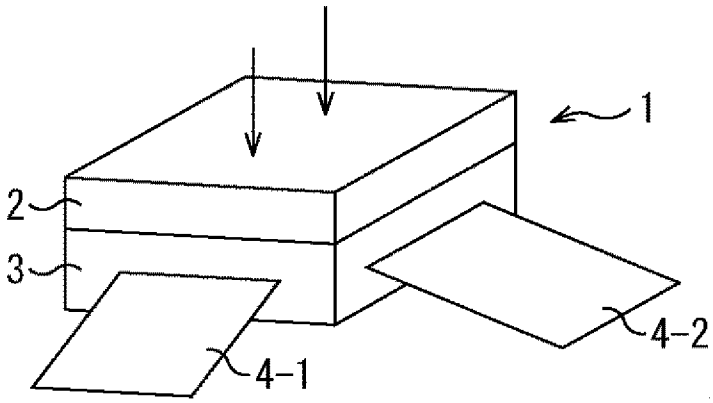
前記ESD（Electro Static Discharge）対策素子として機能する受光部を除去する工程とを含む

撮像パネルの製造方法。

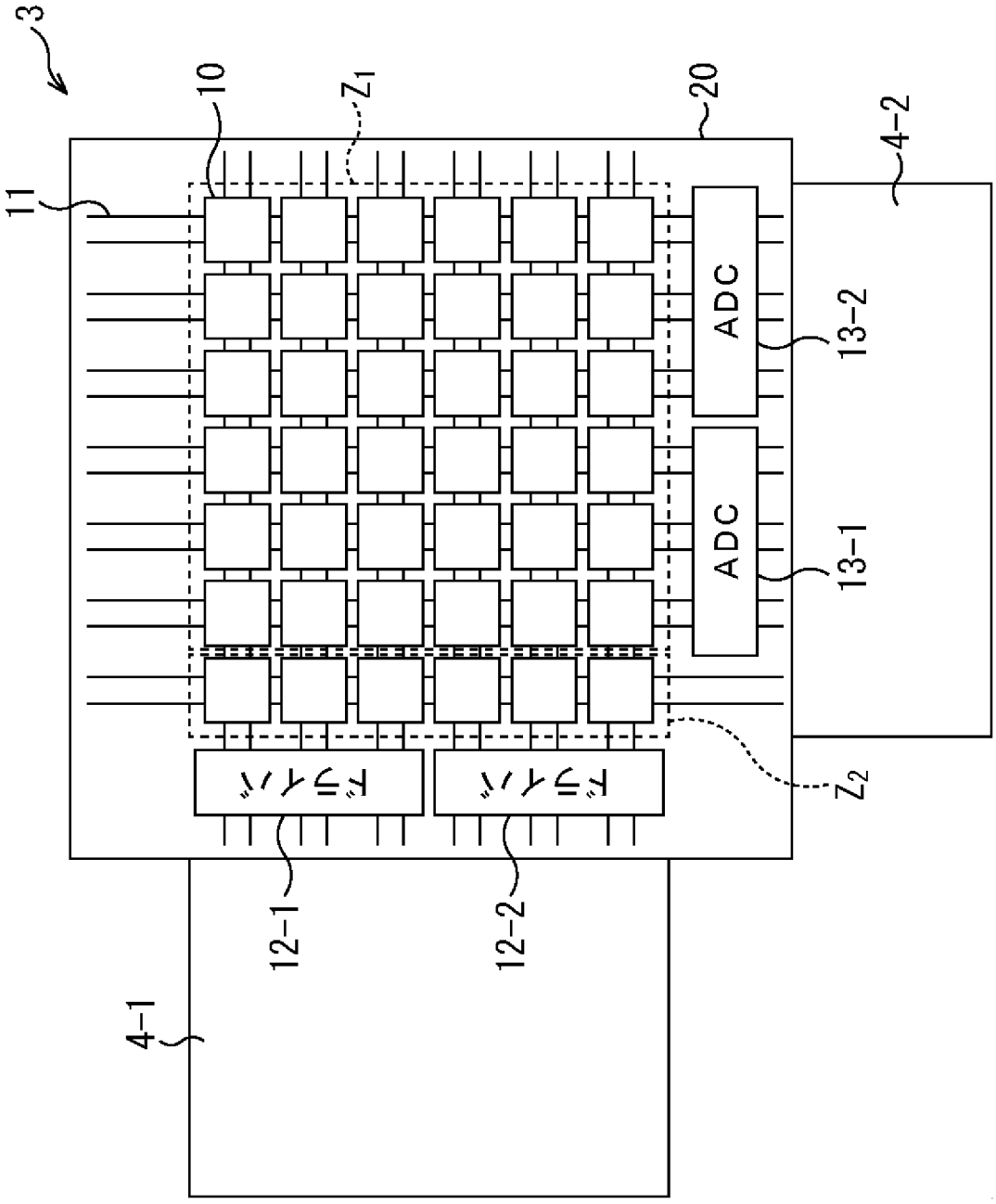
[図1]
FIG. 1



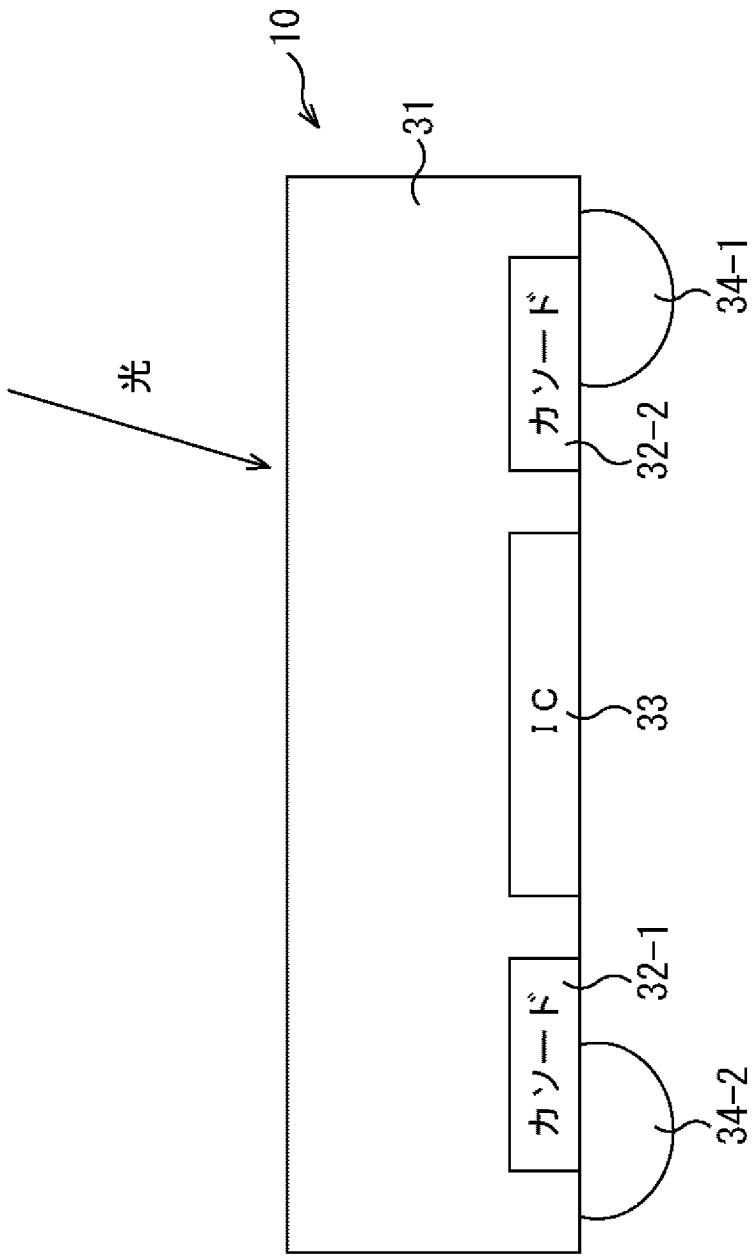
[図2]
FIG. 2



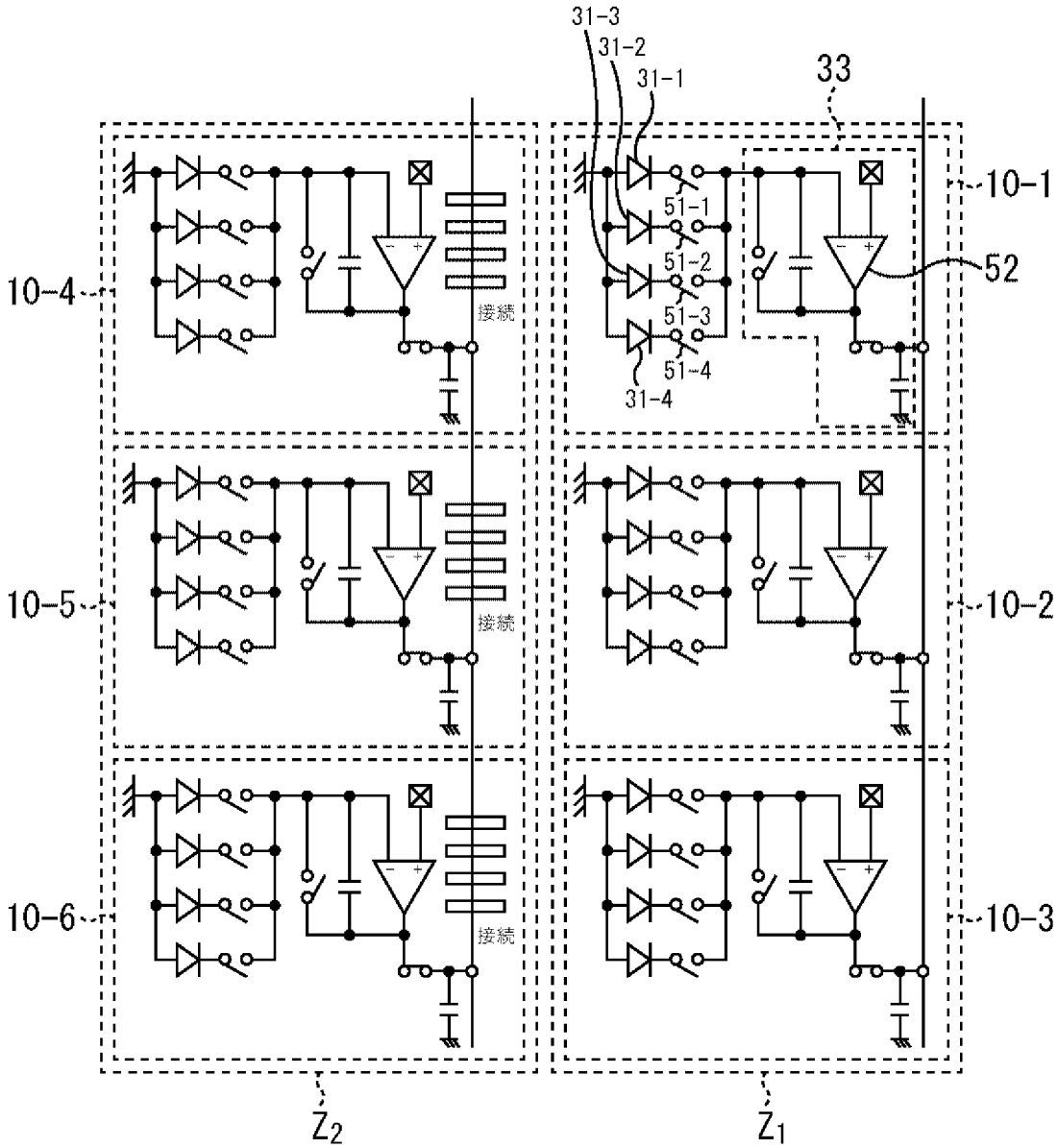
[図3]
FIG. 3



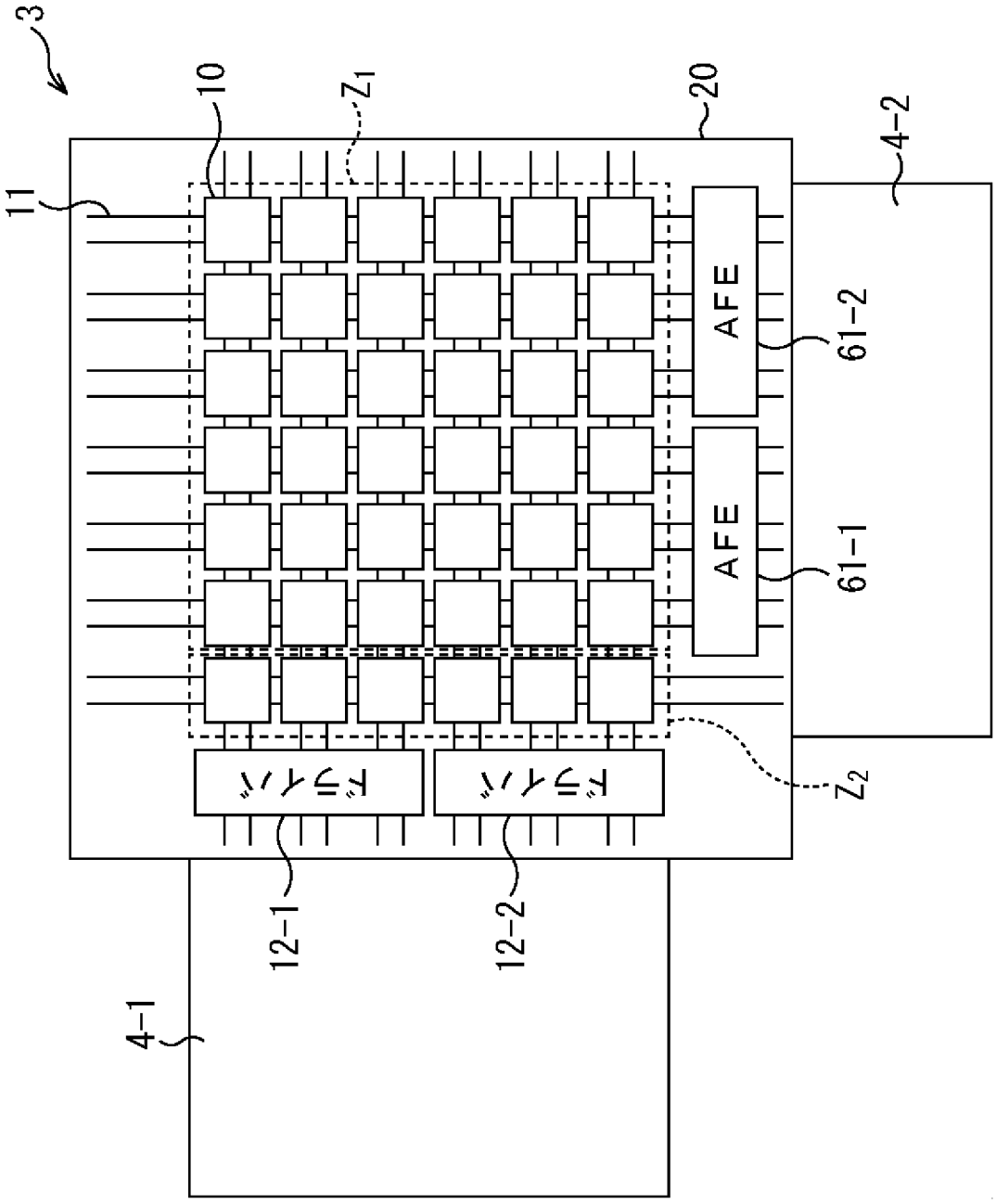
[図4]
FIG. 4



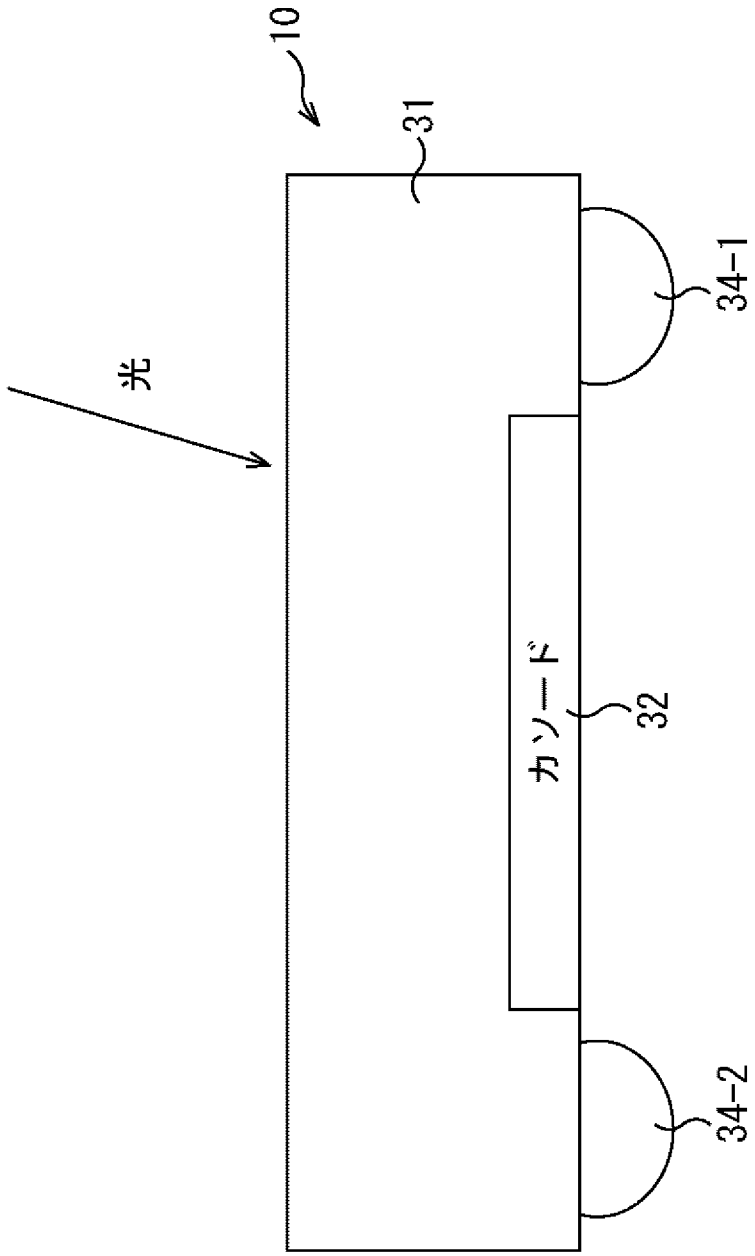
[図5]
FIG. 5


31-3
31-2
31-1
33
10-1
51-1
51-2
51-3
51-4
52
31-4
10-4
接続
10-5
接続
10-2
10-6
接続
10-3
Z2
Z1

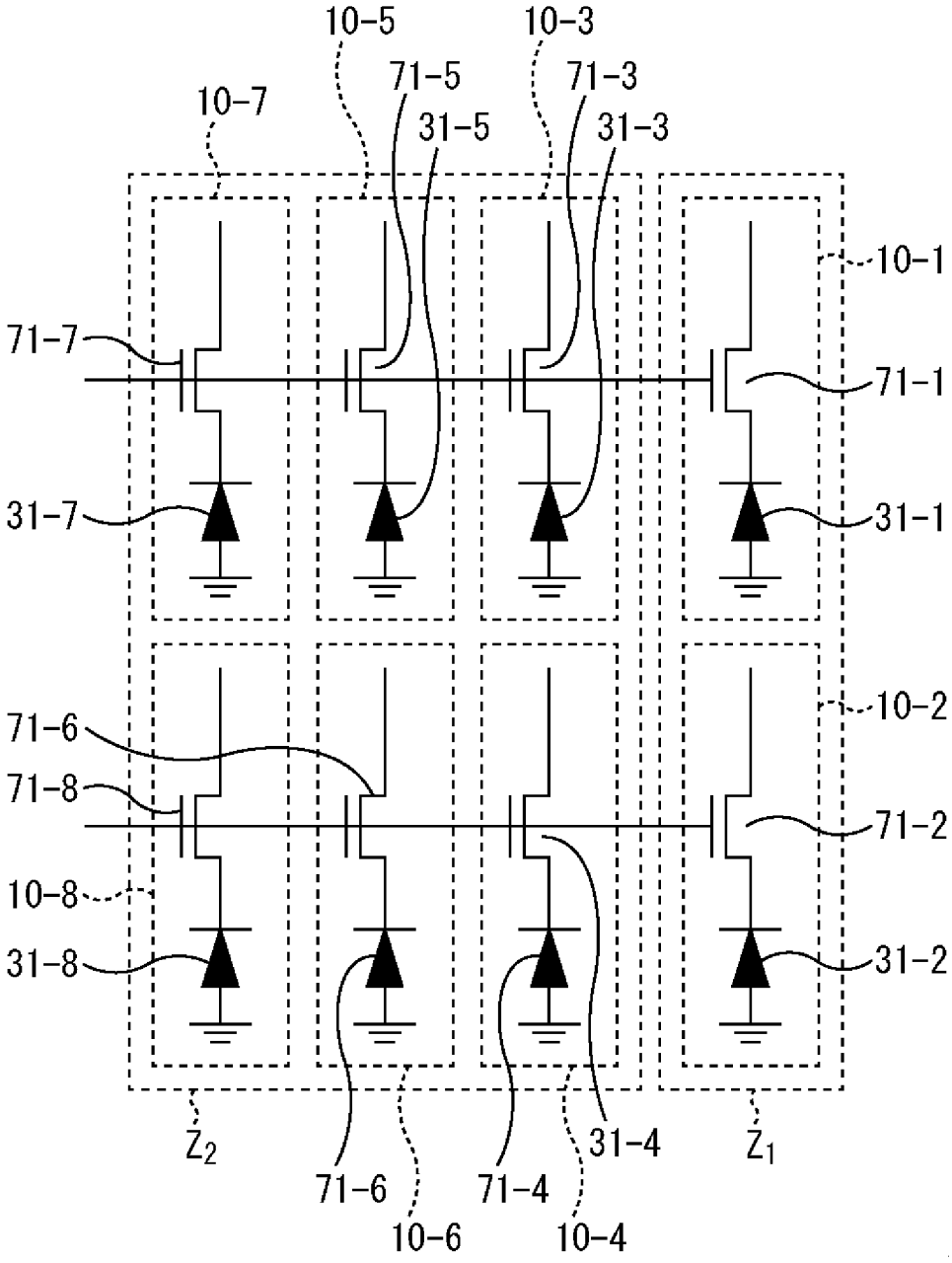
[図6]
FIG. 6



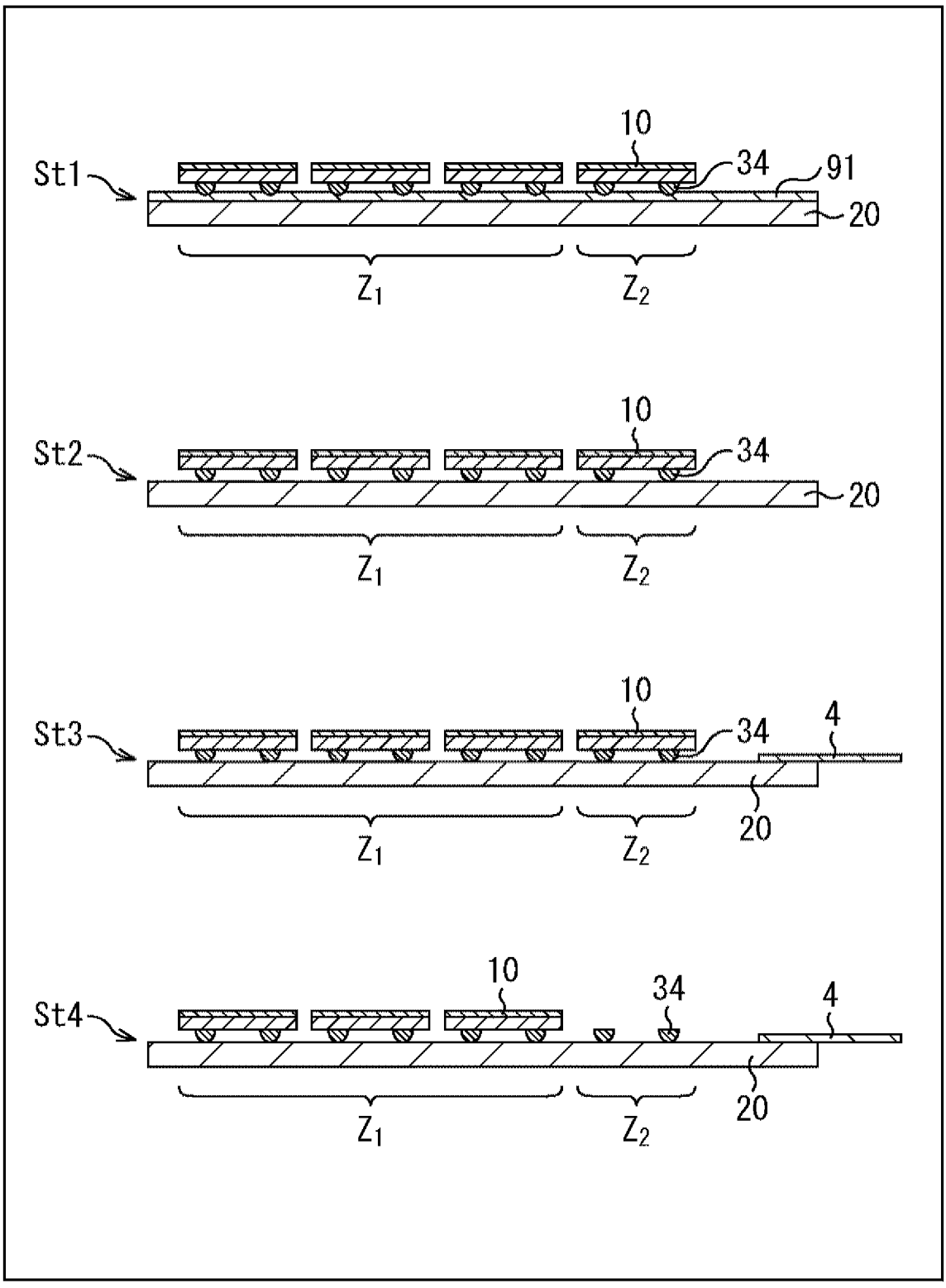
[図7]
FIG. 7



[図8]
FIG. 8


10-5
10-3
71-5
71-3
10-7
31-5
31-3
10-1
71-7
71-1
31-7
31-1
10-2
71-6
71-8
71-2
10-8
31-8
31-2
Z2
71-6
71-4
31-4
Z1
10-6
10-4

[図9]
FIG. 9


St1
10
34
91
20
Z1
Z2
St2
10
34
20
Z1
Z2
St3
10
34
4
20
Z1
Z2
St4
10
34
4
20
Z1
Z2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/044113

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L27/146(2006.01)i, A61B6/00(2006.01)i, G01T1/20(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/144(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L27/146, A61B6/00, G01T1/20, H01L21/822, H01L27/04, H01L27/144

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-260305 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 November 2009, entire text, all drawings & US 2009/0236496 A1	1-16
A	US 2013/0119502 A1 (ANALOG DEVICES, INC.) 16 May 2013, entire text, all drawings & WO 2013/074235 A1	1-16
A	JP 2008-10850 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17 January 2008, entire text, all drawings & US 2007/0278388 A1 & EP 1863091 A2 & KR 10-2007-0115614 A & CN 101082521 A & TW 200810140 A	1-16

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 January 2018	06 February 2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/044113

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-303925 A (CANON INC.) 28 October 2004, entire text, all drawings (Family: none)	1-16
A	JP 2007-324375 A (EPSON IMAGING DEVICES CORPORATION) 13 December 2007, entire text, all drawings & US 2007/0281430 A1	1-16
A	JP 2010-28109 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04 February 2010, entire text, all drawings & US 2009/0310265 A1 & KR 10-2009-0131252 A & TW 201003895 A	1-16

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０４４１１３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146(2006.01)i, A61B6/00(2006.01)i, G01T1/20(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/144(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146, A61B6/00, G01T1/20, H01L21/822, H01L27/04, H01L27/144

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2009-260305 A (株式会社半導体エネルギー研究所) 2009.11.05, 全文, 全図 & US 2009/0236496 A1	1-16
A	US 2013/0119502 A1 (ANALOG DEVICES, INC.) 2013.05.16, 全文, 全図 & WO 2013/074235 A1	1-16
A	JP 2008-10850 A (株式会社半導体エネルギー研究所) 2008.01.17, 全文, 全図 & US 2007/0278388 A1 & EP 1863091 A2 & KR 10-2007-0115614 A & CN 101082521 A & TW 200810140 A	1-16

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ３０．０１．２０１８	国際調査報告の発送日 ０６．０２．２０１８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｆ　３０３５ 柴山　将隆 電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2004-303925 A (キヤノン株式会社) 2004.10.28, 全文, 全図 (ファミリーなし)	1-16
A	JP 2007-324375 A (エプソンイメージングデバイス株式会社) 2007.12.13, 全文, 全図 & US 2007/0281430 A1	1-16
A	JP 2010-28109 A (株式会社半導体エネルギー研究所) 2010.02.04, 全文, 全図 & US 2009/0310265 A1 & KR 10-2009-0131252 A & TW 201003895 A	1-16