

⑫ 実用新案公報 (Y1) 昭59-10638

⑤ Int.Cl.³G 04 G 3/02
H 03 K 23/30

識別記号

庁内整理番号
Z-6470-2F
6628-5J

⑭ 公告 昭和59年(1984)4月3日

(全5頁)

1

2

⑮ 電子時計用二進分周回路

⑰ 実 願 昭53-85681

⑱ 出 願 昭45(1970)12月30日

(前特許出願日援用)

⑲ 考 案 者 波間 哲郎

諏訪市大和3丁目8番5号

⑳ 出 願 人 株式会社諏訪精工舎

東京都中央区銀座4丁目3番4号

㉑ 代 理 人 弁理士 最上 務

図面の簡単な説明

第1図はCMOSを用いた一般的な二進分周回路、第2図は本考案によるCMOSを用いた二進分周回路例、第3図は第2図の回路の電子時計への応用例のブロック図、第4図は第3図の動作説明の為の波形図である。

考案の詳細な説明

本考案は、相補型絶縁ゲート電界効果トランジスタを用いた電子時計用分周回路の初期状態の設定即ちプリセットの方式に関する。普通電子時計は、比較的高振動の時間標準、分周回路及び表示機構より構成される。このような時計にあつては表示時刻の設定に当つて、表示機構のみならず分周回路の初期状態をも設定する必要がある。又、時計保存(休止)時には、電源の消費を軽減することが望まれるが時間標準部はその精度を維持するため動作を停止することは好ましくない。

回路の初期状態は一般的な回路手段により設定し得るものであるが、時計としての冗長性を利用することにより回路の簡略化が可能となる。又、休止時の消費電力は、相補型絶縁ゲート電界効果トランジスタの特性とプリセット手段を有効に組合せることにより軽減できる。従つて本考案の目的は電子時計用の分周回路に於て改良されたプリセット方式を提供し、その回路構成を簡略化することにある。又、本考案の他の目的は時計休止時

にその消費電力の軽減を計る有効な手段を提供することにある。

第1図は相補型絶縁ゲート電界効果トランジスタ(以下CMOSと呼ぶ)を用いた一般的なマスタースレイブ方式の二進分周回路である。

端子1、端子2は電源端子であり、端子1には端子2に対して正の電位が与えられる。マスターフリップフロップ17は第一の伝達ゲート9、第二の伝達ゲート10、第一のNAND回路11及び第一のインバーター12より成る。

スレイブフリップフロップ18は第三の伝達ゲート13、第四の伝達ゲート14、第二のNAND回路15及び第二のインバーター16より成る。又、クロック $\bar{\phi}$ 3及びクロック ϕ 4は互に逆相のクロックである。第一の伝達ゲート9及び第三の伝達ゲート13はクロック $\bar{\phi}$ 3が高電位(以下Hと呼ぶ)に於て信号伝達状態(以下ONと呼ぶ)にあり、クロック $\bar{\phi}$ 3が低電位(以下Lと呼ぶ)に於て信号阻止状態(以下OFFと呼ぶ)となる。同様に第二の伝達ゲート10及び第四の伝達ゲート14はクロック ϕ 4がHに於てON、クロック ϕ 4がLに於てOFFとなる。

第一のNAND回路11及び第二のNAND回路15はプリセット信号 \bar{P} 5がHに於ては各々伝達ゲート9又は10及び伝達ゲート13又は14の出力に対してインバーターとして働く。又、プリセット信号 \bar{P} 5がLに於ては伝達ゲート9又は10及び伝達ゲート13又は14の出力にかかわらず、その出力は常にLとなる。従つて通常に分周動作即ち \bar{P} 5がHに於てはクロック $\bar{\phi}$ 3がHならばマスターフリップフロップ17は第一の伝達ゲート9を通じて保持され、スレイブフリップフロップ18には第三の伝達ゲート13を通じてマスターフリップフロップ17の内容が書込まれる。

又、クロック ϕ 4がHならばスレイブフリップフロップ18は第四の伝達ゲート14を通じて保持され、マスターフリップフロップ17には第二の伝